

L3-Sciences Pour l'Ingénieur - E6-VHDL

Examen de VHDL

Yoan MARIN, Denis PELLION
durée: 2 heures

Année 2018-2019

votre numéro d'anonymat :

Aucun document autorisé, la qualité de rédaction des réponses est prise en compte.
Lisez bien tout l'énoncé avant de vous lancer! Cela vous évitera de faire des choses incomplètes ou en double. (*Les questions de cours se trouvent à la fin de l'exam*)

1 Description d'une Bascule N-bits générique (4 pts)

Vous décrivez en VHDL comportemental une bascule D d'une taille de **N-bits** que vous nommerez **Basc_N_bits**, cette taille est donc à décrire de façon "générique".
Les entrées/sorties de ce composant sont explicitées sur la Fig.1. L'entrée **DataIn** et la Sortie **DataOut** ont une taille générique de N-bits. La remise à zero **RAZ** sera codée de manière asynchrone et active à 1. Le signal **Ce** correspond au Clock Enable, il valide la valeur présente dans le signal *DataIn*.

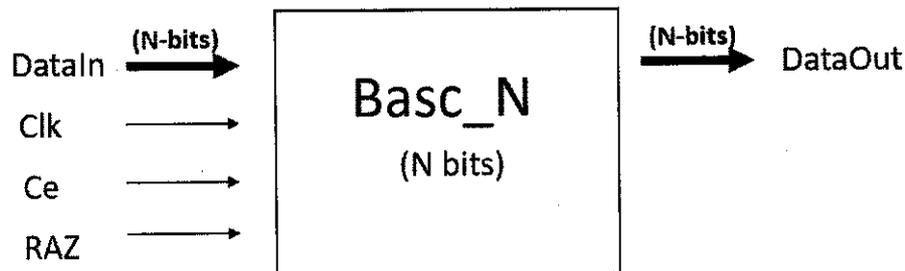


Figure 1: Description des entrées et sorties du composant **Basc_N_bits** à décrire, veuillez à respecter les noms donnés.

2 Filtre numérique 16 bits (10pts)

Dans cet exercice, vous allez réaliser un filtre numérique simple.

2.1 Question 1 (6pts)

Vous devez décrire en VHDL comportemental les composants nécessaires à la réalisation du filtre numérique (équation 1). Les composants ne gèrent que des entiers non-signés codés sur

16 bits. (Si vous en avez besoin, il vous est possible d'utiliser le composant créé dans la section 1.)

$$y(k) = 2 \times x(k) + \frac{1}{2} \times x(k-1) + 8 \times x(k-3) - \frac{1}{4} \times y(k-1) \quad (1)$$

2.2 Question 2 (4pts)

En utilisant les composants réalisés en question 1 vous donnerez la description structurelle du filtre en vous basant sur l'entité suivante:

```
entity filtre is
  port(
    x:      in std_logic_vector(15 downto 0);
    RAZ, clk: in std_logic;
    y:      out std_logic_vector(15 downto 0)
  );
end filtre;
```

Vous n'avez pas besoin de donner le package contenant la description component de vos composants. Attention, il vous est demandé de bien respecter les noms données.

3 Questions générales (6pts)

- (1) Quelle technique simple permet de faire des multiplication par 2? Merci de donner un exemple d'une multiplication par 4 d'un mot de 8 bits.
- (1) Quel est l'opérateur qui réalise la concaténation? donner un exemple simple.
- (2) *Sur cette feuille:* Il se peut que des erreurs se soient introduites dans la description comportementale dans la section 3.1, merci de les repérer et de les corriger.
(2) *Sur votre copie:* Vous donnerez la fonction de ce composant, et essayer de faire ressortir le plus de caractéristiques possibles (nombres d'entrées, de sorties, fonction réalisée, synchrone? asynchrone?).
- (1) **Bonus** Quel est le rôle/utilité du signal ProfFull Threshold présent dans les FIFO de Xilinx.

3.1 Code à décoder

```
library IEEE;
use IEEE.std_logic;

entity Comp is
  port map(
    x:      in std_logic_vector(15 downto 0);
    x1:     in std_logic_vector(15 downto 0);
    sel:    in std_logic_vector(0 downto 0);
    clk:    in std_logic;
    RAZ:    in std_logic;
    y:      out std_logic_vector(15 downto 0)
  );
end Comp;

Architecture Comp_arch of Comp is

begin

signal tempout: std_logic_vector(y'RANGE downto 0) :=(others=>'0');

process(clk)

  if Raz<='1' then
    tempout <="000";
    x      <="000";
    x1     <="000";
  elsif(clk'event and clk<='0')then
    if sel(0)='1' then
      tempout <= x1;
    else
      tempout <= x2;
    end if;
  end if;
end process;

y      <= tempout;

end behavioral;
```