

Université de Bourgogne - L3 ESI - Examen de VHDL

Olivier Brousse, Michel Paindavoine, Guillaume Camenen

Année 2013-2014

Lisez bien tout l'énoncé avant de vous lancer!

Cela vous évitera de faire des choses incomplètes. Comme les horloges et les signaux de remise à zéro des registres par exemple!

1 Questions générales

- Quel est l'organisme américain qui standardise le VHDL?
- Que signifie le sigle VHSIC?
- Quel était le nom de la librairie standard couramment utilisé pour décrire un système électronique en VHDL?

2 Filtre numérique 16 bits

Dans cet exercice, Vous allez réaliser un filtre numérique simple. **Vous n'avez pas à décrire un processeur de traitement du signal avec une ALU** mais juste un filtre numérique (pas d'ALU mais des opérateurs mis en cascades). Il vous est demandé de décrire, en **VHDL comportemental**, les composants gérant des entiers non-signés nécessaires pour réaliser le filtre numérique sur 16 bits suivant:

$$y(k) = 2 \times x(k) + \frac{1}{2} \times x(k-1) - \frac{1}{4} \times y(k-1) - \frac{3}{8} \times y(k-2) - \frac{5}{16} \times y(k-3)$$

À l'instant 0 : $y(k) = y(k-1) = y(k-2) = y(k-3) = 0$.

Une fois ces composants réalisés vous donnerez la description structurelle du filtre en vous basant sur l'entité suivante:

```
entity filtre is
  port(
    x: in std_logic_vector(15 downto 0);
    clk, ce, reset: in std_logic;
    y: out std_logic_vector(15 downto 0));
end filtre;
```

Vous n'avez pas besoin de donner le package contenant la description "component" de vos composants. **Attention, il vous est demandé de bien respecter les noms donnés et de déduire leur rôle en fonction de ce nom (reset, ce ...).**

Bon examen.